

# EUROPEAN PATENT OFFICE

Abstracts of Japan

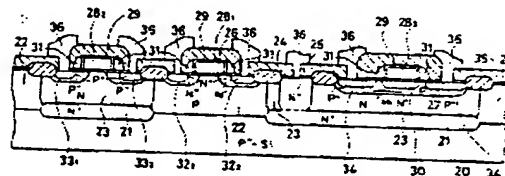
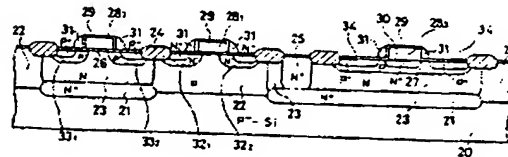
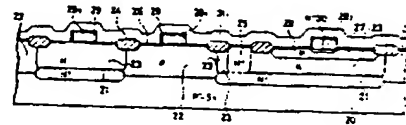
APPLICATION NUMBER : 63244768  
 PUBLICATION DATE : 12-10-88  
 APPLICATION DATE : 31-03-87  
 APPLICATION NUMBER : 62078567

APPLICANT : TOSHIBA CORP;

INVENTOR : SHINADA KAZUYOSHI;

INT.CL. : H01L 27/06 H01L 29/72

TITLE : BIPOLAR CMOS TYPE  
 SEMICONDUCTOR DEVICE AND  
 MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To speed up operations by a method wherein an emitter electrode is built in an emitter region on a semiconductor substrate and the emitter electrode is equipped with side walls.

CONSTITUTION: A diffusion region 21 is provided in a substrate 20 of the plane orientation (100), after which a P-type epitaxial layer 22 is allowed to grow. Next, after the formation of a diffusion region 23, an oxide film 24 is formed, and then a diffusion region 25 is formed so deep as to reach the diffusion region 21. A thermal oxide film 26 is formed, B<sup>+</sup> ions are implanted, and a heat treatment is accomplished. A part of the film 26 positioned on a region 27 is allowed to peel off, a polycrystalline silicon film 28 is deposited, and then As<sup>+</sup> ions are implanted. A process follows wherein the polycrystalline silicon film 28 is patterned for the construction of electrodes 28<sub>1</sub>, 28<sub>2</sub>, and 28<sub>3</sub>, after which a thermal oxide film 29 is formed, when As diffusing out of an emitter electrode results in an emitter region 30. Ions P<sup>+</sup> and then B<sup>+</sup> are implanted for the realization of a high voltage withstanding structure. A CVD oxide film 31 is deposited, which is next etched back for partial retention. Implantation is accomplished of As<sup>+</sup> and BF<sub>3</sub>, which is followed by a heat treatment whereby source and drain regions 32<sub>1</sub>, 32<sub>2</sub>, 33<sub>1</sub>, 33<sub>2</sub> and a base region 34 are formed. A passivation film 35 is deposited, and an electrode 36 is built. In this way, base resistance just under the emitter region may be reduced.

COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-244768

⑤ Int.Cl.

H 01 L 27/06  
29/72

識別記号

3 2 1

庁内整理番号

7735-5F  
8526-5F

④ 公開 昭和63年(1988)10月12日

審査請求 未請求 発明の数 2 (全6頁)

⑬ 発明の名称 バイポーラーCMOS型半導体装置及びその製造方法

⑰ 特 願 昭62-78567

⑱ 出 願 昭62(1987)3月31日

⑭ 発 明 者 品 田 一 義 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑰ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑰ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

バイポーラーCMOS型半導体装置及びその製造方法

2. 特許請求の範囲

同一半導体基板上に、MOS型トランジスタとバイポーラ型トランジスタとを有するバイポーラーCMOS型半導体装置において、

上記半導体基板のエミッタ領域上に形成されたエミッタ電極と、

このエミッタ電極の側壁に絶縁膜によって形成されたサイドウォールとを有することを特徴とするバイポーラーCMOS型半導体装置。

(2) 上記MOS型トランジスタは、上記半導体基板上に絶縁膜を介して形成されたゲート電極と、

このゲート電極の側壁に絶縁材によって形成されたサイドウォールとを有することを特徴とする特許請求の範囲第1項記載のバイポーラーCMOS型半導体装置。

(3) コレクタ領域及び内部ベース領域が形成さ

れた半導体基板上にポリシリコン膜を形成する第1の工程と、

この第1の工程によって形成されたポリシリコン膜をエッチングしてエミッタ電極を形成する第2の工程と、

この第2の工程によって形成されたエミッタ電極を被うように、上記半導体基板上に絶縁膜を形成する第3の工程と、

この第3の工程によって形成された絶縁膜の上に配化膜を形成する第4の工程と、

この第4の工程によって形成された酸化膜をエッチバックして上記エミッタ電極の側壁にサイドウォールを形成する第5の工程と、

上記半導体基板に不純物をイオン注入した後、熱処理することにより、この半導体基板に外部ベース領域を形成する第6の工程とによってバイポーラ型トランジスタが形成されることを特徴とするバイポーラーCMOS型半導体装置の製造方法。

3. 発明の詳細な説明

[ 発明の目的 ]

特開昭63-244768 (2)

(産業上の利用分野)

この発明は、バイポーラー CMOS 型の半導体装置（以下、BI-CMOS 型半導体装置と記す）に関する。

(従来の技術)

近年、半導体の技術分野においては、低消費電力化を図るために、半導体装置に CMOS 回路を使うことが多くなってきた。また、最近では、単に低消費電力化を図るだけでなく、高速化を図るために CMOS 回路にバイポーラトランジスタを付加した BI-CMOS 型半導体装置が注目されている。

従来、この BI-CMOS 半導体装置は、第 3 図に示す製造工程に従って形成されていた。

まず、第 3 図(a)に示す工程においては、P 型シリコン基板 1 に選択的に  $N^+$  型埋込拡散領域 2 を設けた後、気相成長法にて P 型エピタキシャル層 (Pepl) 3 を形成する。次に  $N^+$  型埋込拡散領域 2 に連するよう、NPN バイポーラトランジスタのコレクタ領域となる N ウェル拡散層 (NWell) 4 を設ける。続いて、フィールド酸化膜 5 を形成し、バ

最後に、第 3 図(d)に示す工程において、パッシベーション膜 14 を堆積した後、コンタクトを開孔し、さらにアルミニウム電極 15 を設けることにより、NMOS、PMOS トランジスタ及び NPN バイポーラトランジスタが同一半導体基板 1 上に完成する。

以上述べたように従来は、BI-CMOS 半導体装置を製造するのに、CMOS トランジスタの製造プロセス中で、バイポーラトランジスタを製造するようになっている。

しかし、従来は、 $P^+$  型外部ベース領域 13 を非自己整合（非セルフアライン）で形成するため、 $N^+$  型エミッタ領域 11 下のベース抵抗  $r_{bb'}$ （第 3 図(a)参照）が大きくなり、CMOS 回路と同一の基板 1 上で、バイポーラトランジスタの高速動作を実現することが困難であった。

(発明が解決しようとする問題点)

以上述べたように、従来の BI-CMOS 半導体装置においては、CMOS 回路と同一半導体基板に高速動作可能なバイポーラトランジスタを搭載すると

バイポーラトランジスタを形成することになる N ウェル拡散層 4 中に、 $N^+$  型埋込拡散領域 2 に連するよう、深い  $N^+$  型拡散領域 6 を形成する。 $N^+$  型埋込拡散領域 2、深い  $N^+$  型拡散領域 6 は、NPN バイポーラトランジスタのコレクタ領域となる N ウェル拡散層 4 の抵抗を低減するのに有効である。

第 3 図(b)に示す工程においては、ゲート酸化膜 7 を設け、 $B^+$  の低ドーゾイオン注入により、P 型内部ベース領域 8 を形成した後、P ドープドポリシリコン膜 9 を堆積する。

第 2 図(c)工程においては、ポリシリコン膜 9 を RIE 法にてパターニングして、NMOS 及び PMOS トランジスタのゲート電極 91、92 を形成する。続いて、 $As^+$  を高ドーゾイオン注入して、NMOS トランジスタの  $N^+$  型ソース、ドレイン領域 101、102 及び NPN バイポーラトランジスタの  $N^+$  エミッタ領域 11 を形成する。次に、 $B^+$  を高ドーゾイオン注入して PMOS トランジスタの  $P^+$  型ソース、ドレイン領域 121、122 及び NPN バイポーラトランジスタの  $P^+$  型外部ベース領域 13 を形成する。

とが難しいという問題があった。

そこで、この発明は、CMOS 回路と同一半導体基板に高速動作可能なバイポーラトランジスタを容易に搭載可能な BI-CMOS 半導体装置及びその製造方法を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

上記目的を達成するために、この発明は、半導体基板のエミッタ領域上にエミッタ電極を形成し、このエミッタ電極の側面にサイドウォールを設けるようにしたものである。

(作用)

上記構成によれば、上記サイドウォールをスペーサとして、エミッタ領域に対して外部ベース領域をセルフアラインで形成することができるため、エミッタ領域下のベース抵抗を小さくすることができ、バイポーラトランジスタの高速動作を実現することができる。

(実施例)

以下、図面を参照してこの発明の実施例を詳

細に説明する。

第1図は一実施例の製造工程を示す図であるが、ここで、この第1図を説明する前に、第2図を使って一実施例の概略を説明する。

近年、LSIの進展に伴ない、MOSトランジスタの微細化が必須となり、MOSトランジスタのチャネル長がたとえば $0.8 \sim 1.2 \mu\text{m}$ と短くなる傾向にある。その結果、ショートチャネル効果、ホットエレクトロン耐性が悪くなり、トランジスタの動作の信頼性が確保できなくなる傾向にある。

このため、第2図(a)に示す如く、 $P^-$ 型シリコン基板上あるいはNウェル拡散層41上にゲート酸化膜42、 $A_0$ 又は $P$ ドープポリシリコンゲート電極43を設け、たとえば低ドーズ $P^+$ あるいは $B^+$ イオン注入により、 $N^-$ 型あるいは $P^-$ 型ソース、ドレイン領域44、45を形成した後、CVD酸化膜を堆積し、これをRIE法にてエッチバックしてポリシリコンゲートの側壁にのみCVD酸化膜46、46'を残存させる。続いて、たとえば高ドーズ $A_0^+$ あるいは $BF_2^+$ イオン注入により、 $N^+$ 型あるいは $P^+$

型ソース、ドレイン領域47、48を形成することにより、超LSIに適した信頼性あるNMOSあるいはPMOSトランジスタを備えたCMOS回路が提供される。

この実施例は、第2図(b)に示す如く、上記技術を用い、CMOS回路を形成した同一半導体基板上に略同一プロセスにより高速NPNバイポーラトランジスタを搭載するものである。すなわち、バイポーラトランジスタのコレクタ領域となるNウェル拡散層51上のゲート酸化膜を剝離し、内部ベース領域となる $P$ 型拡散領域52を、まず低ドーズ $B^+$ 注入により形成した後、 $A_0$ 又は $P$ ドープポリシリコン膜52を堆積し、MOSトランジスタのゲート電極と同時に加工してエミッタ領域の一部となるエミッタ電極53を形成する。この後、前述した方法によりポリシリコンのエミッタ電極53の側壁にCVD酸化膜54を残存させ、PMOSトランジスタの $P^+$ 型ソース、ドレイン領域の形成に用いた高ドーズ $BF_2^+$ イオン注入、その後の熱工程により $P^+$ 型外部ベース領域55がエミッタ電極53か

ら $P$ 型内部ベース領域52中に $A_0$ 又は $P$ が拡散して形成され、 $N^+$ 型エミッタ領域56に接せずに、かつセルフアラインで作られるため、ベース抵抗 $r_{bb'}$ が小さい高速バイポーラNPNトランジスタが実現される。

では、第1図の製造工程を示す断面図に従ってこの発明の一実施例を詳細に説明する。

まず、第1図(a)に示す工程において、面方位(100)、比抵抗 $20 \sim 30 \Omega \cdot \text{cm}$ の $P^-$ 型シリコン基板20に、選択的に $\rho_s \sim 20 \Omega/\square$ の $N^+$ 型埋込拡散領域21を設けた後、厚さ $2.0 \mu\text{m}$ 、比抵抗 $1 \sim 2 \Omega \cdot \text{cm}$ の $P$ 型エピタキシャル層22を成長させる。次に、PMOS、NPNバイポーラトランジスタを形成する箇所に $x_j = 2.5 \mu\text{m}$ 、 $\rho_s \sim 2 \text{ k}\Omega/\square$ のNウェル拡散層23を設けた後、厚さ $0.8 \mu\text{m}$ のフィールド酸化膜24を形成する。続いて、コレクタ抵抗を低減するため、 $N^+$ 型埋込拡散領域21に連するよう、 $\rho_s = 20 \sim 30 \Omega/\square$ の深い $N^+$ 型拡散領域25を形成する。

第1図(b)に示す工程において、ゲート酸化膜と

なる厚さ $300 \text{ \AA}$ の熱酸化膜26を形成し、 $B^+$ を $40 \text{ KeV}$ にて $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入して熱処理を行ない拡散深さ $x_j \sim 0.5 \mu$ の $P$ 型内部ベース領域27上の熱酸化膜26を剝離して厚さ $0.4 \mu$ のポリシリコン膜28を堆積し、 $A_0^+$ をポリシリコン膜28中に $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入する。

第1図(c)に示す工程において、前記ポリシリコン膜28をRIE法にてパターニングしてNMOS、PMOSのゲート電極28'、28''、エミッタ電極28'を形成した後、ゲート電極、エミッタ電極の周囲、露出している $P$ 型内部ベース領域27の表面に熱酸化膜29を形成する。この時、エミッタ電極から $P^-$ 型内部ベース領域中に $A_0$ が高濃度で拡散されて $\rho_s \sim 30 \Omega/\square$ 、 $x_j \sim 0.15 \mu$ の $N^+$ 型エミッタ領域30が形成される。続いて、NMOS及びPMOSトランジスタの信頼性を確保するため、NMOS及びPMOSトランジスタ形成箇所にそれぞれ $P^+$ 及び $B^+$ を $50 \text{ KeV}$ にて $1 \times 10^{15} \text{ cm}^{-2}$ イオン注入して高耐圧構造を形成する。この後、厚さ $0.4 \mu$ のCVD

酸化膜 31 を堆積する。

第 1 図(d)に示す工程において、前記 CVD 酸化膜 31 を RIE 法にてエッチバックしてエミッタ電極及び MOS トランジスタのゲート電極の側壁に CVD 酸化膜 31 を残存させる。続いて、NMOS トランジスタのソース、ドレイン領域形成のため  $A_{s}^{+}$  を 40 KeV にて  $5 \times 10^{15} \text{ cm}^{-2}$ 、PMOS トランジスタのソース、ドレイン領域及び NPN バイポーラトランジスタの外部ベース領域形成のため  $BF_2^{+}$  を 40 KeV にて  $5 \times 10^{15} \text{ cm}^{-2}$  イオン注入した後、熱処理を行ないイオン注入層を電気的に活性として、NMOS トランジスタの  $x_1 \sim 0.4 \mu$  程度の  $N^{+}$  領域及び  $N^{-}$  領域から成るソース及びドレイン領域 32, 32', PMOS トランジスタの  $x_1 \sim 0.4 \mu$  程度の  $P^{+}$  領域及び  $P^{-}$  領域から成るソース及びドレイン領域 33, 33', NPN バイポーラトランジスタの  $x_1 \sim 0.2 \mu$  の  $P^{+}$  型外部ベース領域 34 が形成される。

最後に、第 2 図(a)に示す工程において、厚さ 1  $\mu\text{m}$  のパッシベーション膜 35 を堆積して、コン

様々変形実施可能なことは勿論である。

#### [ 発明の効果 ]

以上述べたこの発明によれば、エミッタ電極の側壁に酸化膜によってサイドウォールを設けるようにしたので、これをスペーサとして外部ベース領域をエミッタ領域に対してセルフアラインで形成することができ、エミッタ領域下のベース抵抗を小さくすることができる。

#### 4. 図面の簡単な説明

第 1 図はこの発明の一実施例の製造工程を示す断面図、第 2 図は一実施例の概略を説明するために示す断面図、第 3 図は従来の Bi-CMOS 半導体装置の製造方法の一例を示す断面図である。

20...  $P^{-}$  型シリコン基板、21...  $N^{+}$  型埋込拡散領域、22...  $P$  型エピタキシャル層、23...  $N$  ウェル拡散層、24... フィールド酸化膜、25...  $N^{+}$  型拡散領域、26... 熱酸化膜、27...  $P$  型内部ベース領域、28... ポリシリコン膜、29... 熱酸化膜、30...  $N^{+}$  型エミッタ領域、31... CVD 酸化膜、32, 32', 33, 33'... ソース及びド

レイン領域、34...  $P^{+}$  型外部ベース領域、35... パッシベーション膜、36... アルミニウム-シリコン電極。

この実施例によれば、MOSTR のゲート電極 28, 28'、側壁酸化膜 31 をバイポーラトランジスタのエミッタ電極 28, 28' の側壁にも残存させサイドウォールを形成することにより、このサイドウォールをスペーサとして  $P^{+}$  型外部ベースを  $N^{+}$  型エミッタ領域 30 にセルフアラインで形成することができるため、高速動作に適した Bi-CMOS 半導体装置を実現することができる。

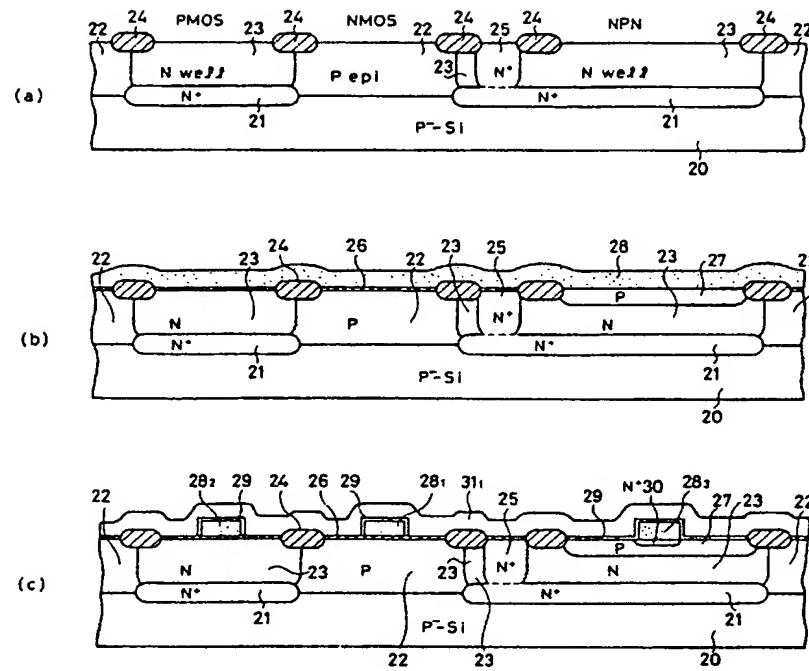
なおこの発明は、先の実施例 2 に限定されるものではない。

例えば、先の実施例においては、ゲート電極、エミッタ電極共に  $A_{s}$  ドープドポリシリコン膜を使用する場合を説明したが、ゲート電極として  $P$  ドープドポリシリコン膜を用いてもよい。更に、 $N^{+}$  型エミッタ領域をフィールド酸化膜に接してあるいは接しないように形成しても本発明は実現できる。

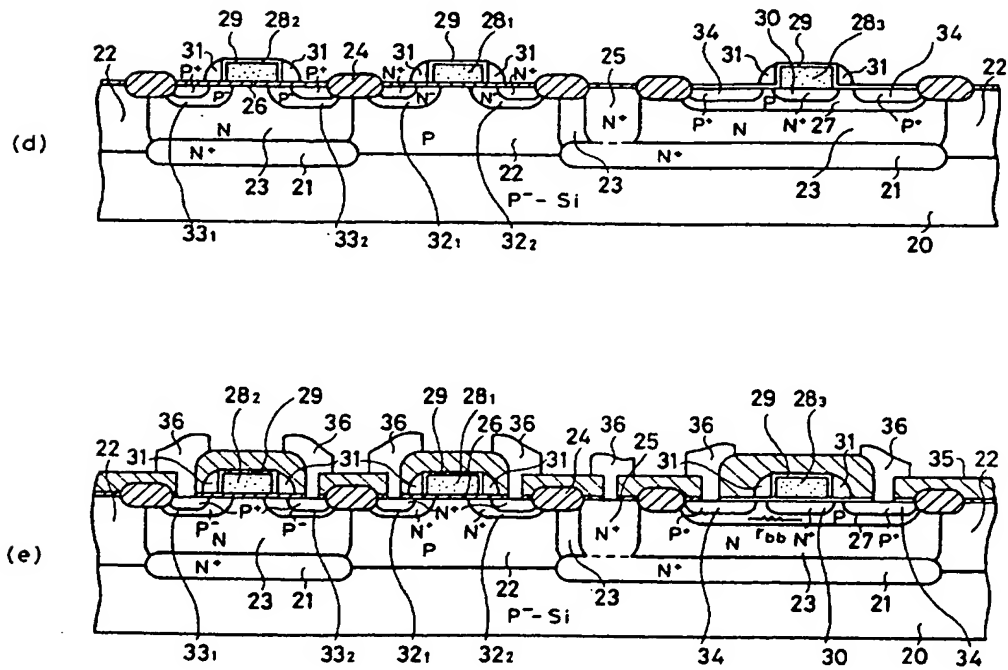
この他にも発明の要旨を逸脱しない範囲で種々

変形可能なことは勿論である。

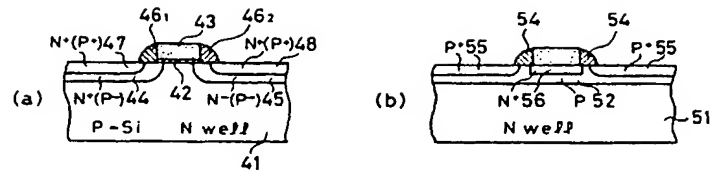
出願人代理人 弁理士 鈴 江 武 彦



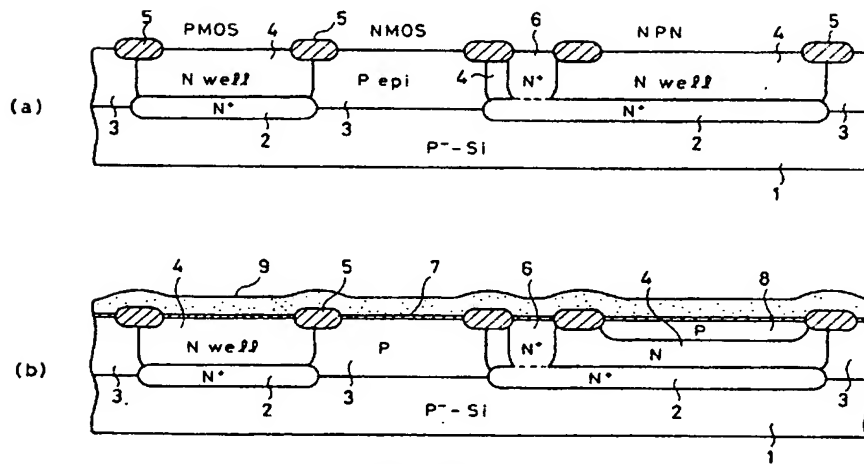
第 1 図



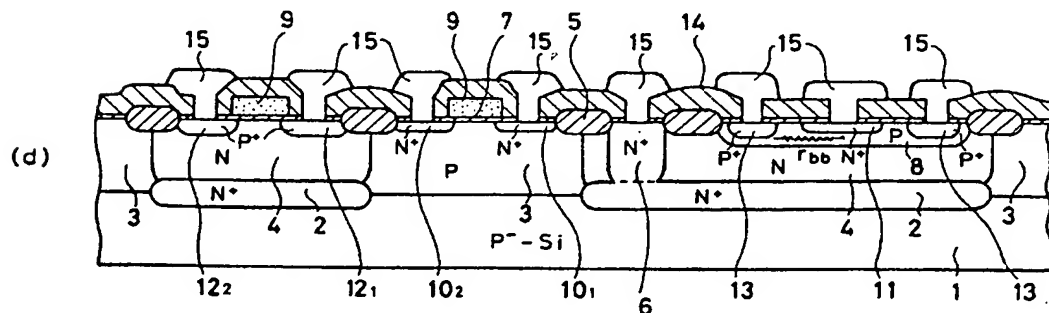
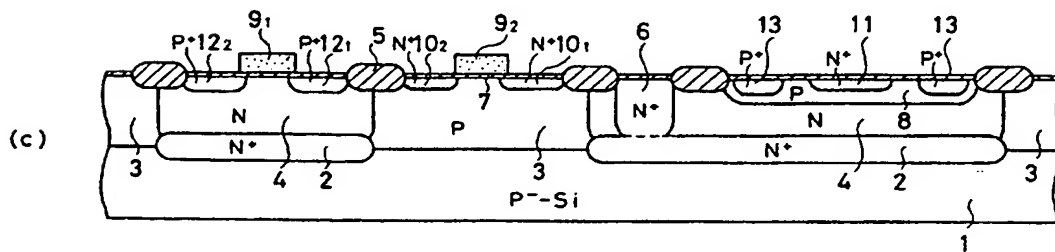
第 1 図



第 2 図



第 3 図



第 3 図